

Patent			
Patent No	402807	Publication Date	2000/8/21
Application No	087115486	Filing Date	1998/9/17
Title	Reduced parasitic leakage in semiconductor devices		
IPC	H01L27/10 & H01L21/76		

Author / Inventor
MANDELMAN, JACK A. (US) ; HSU, LOUIS L. C. (US) ; ALSMEIER, JOHANN (DE) ; TONTI, WILLIAM R. (US) ;

Applicant												
<table> <thead> <tr> <th>Name</th> <th>Country Individual/Company</th> </tr> </thead> <tbody> <tr> <td>SIEMENS</td> <td>DE Company</td> </tr> <tr> <td>AKTIENGESELLSCHAFT</td> <td></td> </tr> <tr> <td>INTERNATIONAL</td> <td>US Company</td> </tr> <tr> <td>BUSINESSNMACHINES</td> <td></td> </tr> <tr> <td>CORPORATION</td> <td></td> </tr> </tbody> </table>	Name	Country Individual/Company	SIEMENS	DE Company	AKTIENGESELLSCHAFT		INTERNATIONAL	US Company	BUSINESSNMACHINES		CORPORATION	
Name	Country Individual/Company											
SIEMENS	DE Company											
AKTIENGESELLSCHAFT												
INTERNATIONAL	US Company											
BUSINESSNMACHINES												
CORPORATION												

Priority Data						
<table> <thead> <tr> <th>Country</th> <th>Application No</th> <th>Priority Date</th> </tr> </thead> <tbody> <tr> <td>US</td> <td>19970940237</td> <td>1997/9/30</td> </tr> </tbody> </table>	Country	Application No	Priority Date	US	19970940237	1997/9/30
Country	Application No	Priority Date				
US	19970940237	1997/9/30				

Patent Abstract
A trench capacitor having a diffusion region adjacent to the collar to increase the gate threshold voltage of the parasitic MOSFET. This enables the use of a thinner collar while still achieving a leakage that is acceptable. In one embodiment, the diffusion region is self-aligned.

中華民國專利公報 [19] [12]

[11]公告編號：402807

[44]中華民國 89年(2000) 08月21日
發明

全 3 頁

[51] Int.Cl 06: H01L27/10
H01L21/76

[54]名稱：半導體裝置中減少寄生漏電

[21]申請案號：087115486 [22]申請日期：中華民國 87年(1998) 09月17日

[30]優先權：[31]08/940,237 [32]1997/09/30 [33]美國

[72]發明人：

傑克A·曼戴曼	美國
許履塵	美國
喬漢亞斯米爾	美國
威廉R·湯堤	美國

[71]申請人：

國際商業機器股份有限公司	美國
西門斯股份有限公司	德國

[74]代理人：鄭自添先生

[57]申請專利範圍：

1.一種記憶單格包含：

一電晶體包含一閘極及第一及第二擴散區；

形成於基片中之溝渠電容，其中溝渠電容包含一在溝渠上部分中之介電環，一在環繞溝渠電容低部分之基片中之埋藏擴散區，一在電氣連接電晶體及電容之環上之節點擴散區；

一在與環相鄰之基片中之第三擴散區，第三擴散區包含足以增加由環，埋藏擴散區及節點擴散區形成之寄生電晶體

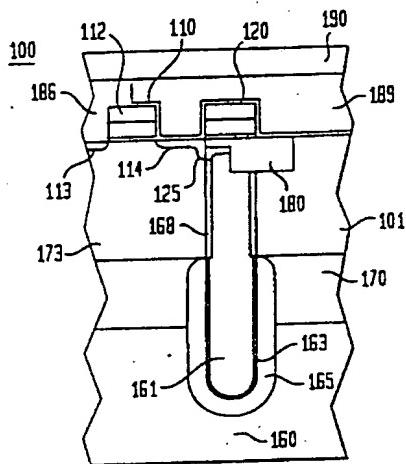
之閘極臨界電壓之摻雜劑濃度，以便減少漏電。

圖式簡單說明：

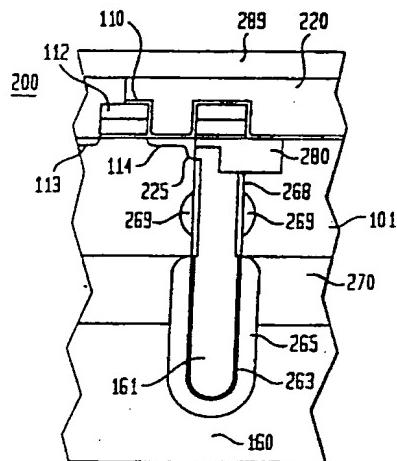
5. 第一圖顯示一傳統溝渠電容 DARM 單格；

第二圖顯示根據本發明之一實施例之溝渠電容 DRAM 單格；

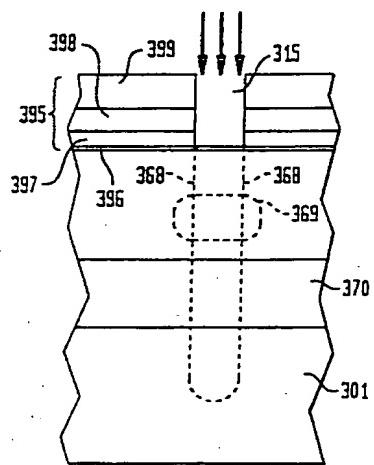
10. 第三圖 a-第三圖 e 顯示根據本發明之一實施例用於形成溝渠電容 DRAM 單格之一程序。



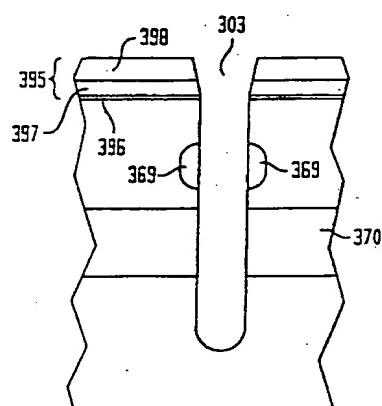
第一圖



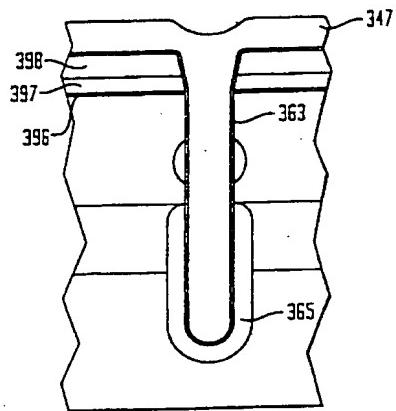
第二圖



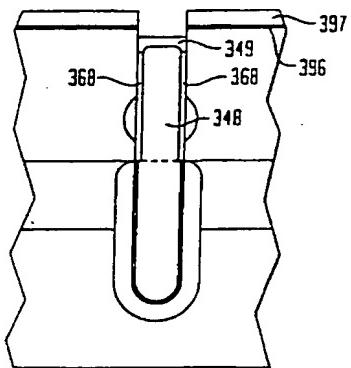
第三圖 A



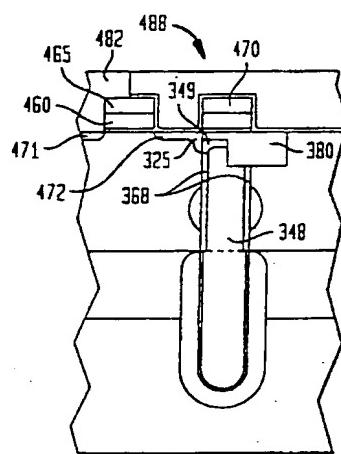
第三圖 B



第三圖 C



第三圖 D



第三圖 E